

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-129849

(43)Date of publication of application : 25.05.1993

(51)Int.Cl. H03F 3/45
H03G 11/00

(21)Application number : 03-311841

(71)Applicant : NEC CORP

(22)Date of filing : 30.10.1991

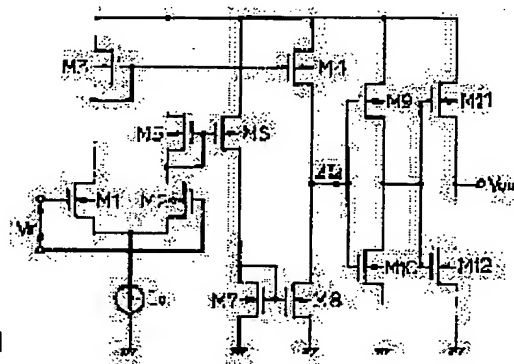
(72)Inventor : KIMURA KATSU HARU

(54) IF LIMITER AMPLIFIER CIRCUIT

(57)Abstract:

PURPOSE: To provide the C-MOS IF limiter amplifier circuit which can reduce a driving current and can acquire a satisfactory limiting characteristic.

CONSTITUTION: MOS transistors (M1 and M2) are differential amplifiers to be driven by a constant current source I0 and input IF signals (voltage VIF). A current mirror circuit is composed of MOS transistors (M3, M4), (M5, M6) and (M7, M8) respectively, and the differential current of the differential amplifier composed of the (M1 and M2) is generated so as to drive an inverter circuit composed of MOS transistors (M9 and M10). MOS transistors (M11 and M12) are also the inverter circuit, and a signal (voltage VOUT) sufficiently limiting the IF signals is outputted from this inverter circuit in the second step.



LEGAL STATUS

[Date of request for examination] 27.10.1995

[Date of sending the examiner's decision of rejection] 19.01.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 11-02598

[Date of requesting appeal against examiner's decision of rejection] 18.02.1999

[Date of extinction of right]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-129849

(43)公開日 平成5年(1993)5月25日

(51)Int.Cl.⁵

H 0 3 F 3/45

H 0 3 G 11/00

識別記号

A 7328-5 J

B 9067-5 J

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平3-311841

(22)出願日 平成3年(1991)10月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 木村 克治

東京都港区芝五丁目7番1号 日本電気株式会社内

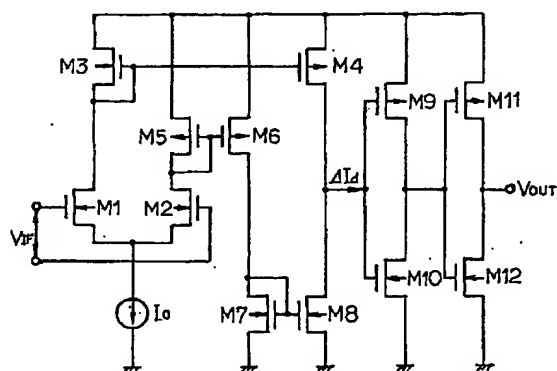
(74)代理人 弁理士 八幡 義博

(54)【発明の名称】 I Fリミッタ増幅回路

(57)【要約】

【目的】 駆動電流の低減と良好なリミッティング特性の取得とを可能とするC-MOS型I Fリミッタ増幅回路を提供する。

【構成】 MOSトランジスタ(M1、M2)は、定電流源I₀で駆動される差動増幅器であり、I F信号(電圧V_{IF})を入力とする。MOSトランジスタ(M3、M4)、(M5、M6)(M7、M8)は、それぞれカレントミラー回路を構成し、(M1、M2)からなる差動増幅器の差動電流の差電流を生成し、MOSトランジスタ(M9、M10)からなるインバータ回路を駆動する。MOSトランジスタ(M11、M12)もインバータ回路であってこの2段目のインバータ回路からI F信号が充分にリミッティングされた信号(電圧V_{OUT})が出力される。



M1 ~ M12 --- MOSトランジスタ

【特許請求の範囲】

【請求項1】 C-MOS集積回路に形成されるIFリミッタ増幅回路であって： このIFリミッタ増幅回路は、IF信号が入力される差動増幅器と；前記差動増幅器の差動電流の差電流を生成するカレントミラー回路と；前記カレントミラー回路が生成した差電流で駆動される1又は2以上のインバータ回路と；を備えたことを特徴とするIFリミッタ増幅回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、C-MOS集積回路に形成されるIFリミッタ増幅回路に関する。

【0002】

【従来の技術】従来のMOSTランジスタを用いたIFリミッタ増幅回路は、バイポーラトランジスタを用いたIFリミッタ増幅回路と同様に差動増幅器を多段に縦続接続した構成であった。

【0003】

【発明が解決しようとする課題】上述した従来のMOSTランジスタを用いたIFリミッタ増幅回路では、差動増幅器の負荷を抵抗にする場合、MOSTランジスタはバイポーラトランジスタに比べて相互コンダクタンスが低く駆動能力が低いので、回路を駆動する定電流源の値を大きくする必要があるという問題がある。

【0004】また差動増幅器の負荷をアクティブロードとする場合、負荷が軽くなるので、回路の駆動電流は減少させ得る。しかし、出力振幅はほぼ電源電圧から差動対の共通ソースの電圧まで振れるので、共通ソースの電圧を固定するのが困難であり、良好なリミッティング特性が得られないという問題もある。

【0005】本発明の目的は、駆動電流の低減と良好なリミッティング特性の取得とを可能とするC-MOS型IFリミッタ増幅回路を提供することにある。

【0006】

【課題を解決するための手段】前記目的を達成するために、本発明のIFリミッタ増幅回路は次の如き構成を有する。即ち、本発明のIFリミッタ増幅回路は、C-MOS集積回路に形成されるIFリミッタ増幅回路であって： このIFリミッタ増幅回路は、IF信号が入力される差動増幅器と；前記差動増幅器の差動電流の差電流を生成するカレントミラー回路と；前記カレントミラー回路が生成した差電流で駆動される1又は2以上のインバータ回路と；を備えたことを特徴とするものである。

【0007】

【作用】次に前記の如く構成される本発明のIFリミッタ増幅回路の作用を説明する。本発明では、IF信号が入力される差動増幅器の差動電流の差電流でインバータ回路を駆動するようにしたので、IF信号の正負に応じて変化するインバータ回路の出力振幅を電源電圧レベル

とグラウンド電圧レベルにリミッティングできる。しかも、このリミッティング特性は製造ばらつきや温度変動に左右されず、安定した特性を維持する。また、差動増幅器の負荷は軽く、その後段はIF周波数で動作するインバータ回路であるので、回路電流を大幅に低減できる。

【0008】

【実施例】以下、本発明の実施例を図面を参照して説明する。図1は、本発明の一実施例に係るIFリミッタ増幅回路を示す。図1において、MOSTランジスタ(M1、M2)は、定電流源I_oで駆動される差動増幅器であり、IF信号(電圧V_{IF})を入力とする。MOSTランジスタ(M3、M4)、同(M5、M6)及び同(M7、M8)は、それぞれカレントミラー回路を構成し、MOSTランジスタ(M1、M2)からなる差動増幅器の差動電流の差電流を生成し、MOSTランジスタ(M9、M10)からなるインバータ回路を駆動する。MOSTランジスタ(M11、M12)もインバータ回路であってこの2段目のインバータ回路からIF信号が充分にリミッティングされた信号(電圧V_{OUT})が得られる。以下、具体的に説明する。

【0009】MOSTランジスタM1、同M2は、ゲート幅Wとゲート長Lの比(W/L)が等しいとすると、それぞれのドレイン電流I_{d1}、同I_{d2}は、数式1、同2となり、定電流源I_oは数式3、入力電圧(V_{IF})は数式4となる。なお、数式1と同2におけるβは、電子移動度μ_n、単位ゲート当たりの酸化膜容量C_{ox}により数式5と表される。

【0010】

【数1】

$$I_{d1} = \beta (V_{GS1} - V_T)^2$$

【0011】

【数2】

$$I_{d2} = \beta (V_{GS2} - V_T)^2$$

【0012】

【数3】

$$I_{d1} + I_{d2} = I_o$$

【0013】

【数4】

$$V_{GS1} - V_{GS2} = V_{IF}$$

【0014】

【数5】

$$\beta = \mu_n \frac{C_{ox}}{2} \left(\frac{W}{L} \right)$$

【0015】そして、数式1～同4から両ドレイン電流の差電流ΔI_dを求めると、数式6となる。

【0016】

【数6】

$$\Delta I_d = I_{d1} - I_{d2}$$

$$= \beta V_{IF} \sqrt{\frac{2I_o}{\beta} - V_{IF}^2}$$

*

$$I_{d1} = \frac{1}{2} (I_o + \Delta I_d)$$

$$= \frac{1}{2} (I_o + \beta V_{IF} \sqrt{\frac{2I_o}{\beta} - V_{IF}^2})$$

【0019】

※ ※ 【数8】

$$I_{d2} = \frac{1}{2} (I_o - \Delta I_d)$$

$$= \frac{1}{2} (I_o - \beta V_{IF} \sqrt{\frac{2I_o}{\beta} - V_{IF}^2})$$

【0020】以上要するに、MOSTランジスタ (M3、M4)、同 (M5、M6) 及び同 (M7、M8) からなるカレントミラー回路では、MOSTランジスタ (M1、M2) からなる差動増幅器の差動電流 (I_{d1} 、 I_{d2}) の差電流 ΔI_d を生成するが、この差電流 ΔI_d はM4とM8の共通ドレインとなり、この共通ドレイン電流によってMOSTランジスタ (M9、M10) からなるインバータ回路は駆動される。

【0021】従って、数式6から、入力電圧 V_{IF} が正のときは、 $\Delta I_d > 0$ となり、MOSTランジスタ (M9、M10) からなる第1のインバータ回路の共通ゲートに電流を吐き出すので、第1のインバータ回路は、共通ゲートが高レベルとなり、出力を低レベルにする。その結果、MOSTランジスタ (M11、M12) からなる第2のインバータ回路では、共通ゲートが低レベルであるので、出力 (V_{OUT}) を高レベルにする。つまり、電源電圧のレベルとなる。

【0022】次に逆の場合、つまり、入力電圧 V_{IF} が負のときは、 $\Delta I_d < 0$ となり、第1のインバータ回路の共通ゲートから電流を引き込むので、第1のインバータ回路は、共通ゲートが低レベルとなり、出力を高レベルにする。その結果、第2のインバータ回路では、共通ゲートが高レベルであるので、出力 (V_{OUT}) を低レベルにする。つまり、グランド電圧のレベルとなる。

【0023】ここで、各インバータ回路は電流利得が高いため、入力電圧 V_{IF} が変化して差電流 ΔI_d が正から負に変わるとき、或は、負から正に変わるとき、第2のインバータ回路の出力 V_{OUT} は、電源電圧からグランド

* 【0017】従って、数式3と同6とから、ドレイン電流 I_{d1} は数式7、ドレイン電流 I_{d2} は数式8と求まる。

【0018】

【数7】

電圧に、或は、グランド電圧から電源電圧に直ちに变化する。つまり、第2のインバータ回路の出力振幅は、第2のインバータ回路の駆動能力を高くしておくか、第2のインバータ回路の負荷を軽くしておけば、電源電圧とグランド電圧とでリミットングのかかった矩形波にすることができる。

【0024】従って、IFリミッタ増幅回路としては、製造ばらつきによってMOSTランジスタのゲート長しがばらついたり、定電流源 I_o の大きさがばらついても、リミットング動作は電源電圧で決められるので、特性は殆ど変化しないことになる。

【0025】また、温度変動に対しても同じように特性変化が小さくなる。さらに、差動増幅器の負荷も軽くなり、その後段はIF周波数で動作するインバータ回路であるので、回路電流も小さくなる。

【0026】

【発明の効果】以上説明したように、本発明のIFリミッタ増幅回路によれば、IF信号が入力される差動増幅器の差動電流の差電流でインバータ回路を駆動するようにしたので、IF信号の正負に応じて変化するインバータ回路の出力振幅を電源電圧レベルとグランド電圧レベルにリミットングできる。しかも、このリミットング特性は製造ばらつきや温度変動に左右されず、安定した特性を維持する。また、差動増幅器の負荷は軽く、その後段はIF周波数で動作するインバータ回路であるので、回路電流を大幅に低減できる、等の効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例に係るIFリミッタ増幅回路

の回路図である。

【符号の説明】

I_o 定電流源

M1 MOSトランジスタ

M2 MOSトランジスタ

M3 MOSトランジスタ

M4 MOSトランジスタ

M5 MOSトランジスタ

M6 MOSトランジスタ

* M7 MOSトランジスタ

M8 MOSトランジスタ

M9 MOSトランジスタ

M10 MOSトランジスタ

M11 MOSトランジスタ

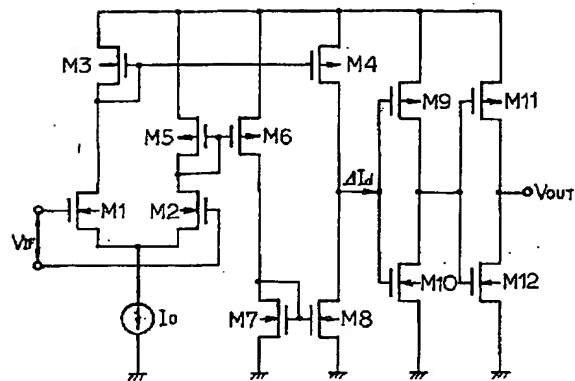
M12 MOSトランジスタ

V_{IF} 入力電圧

V_{OUT} 出力電圧

* ΔI_d 差電流

【図1】



M1 ~ M12 --- MOSトランジスタ